

CERTIFIED COPY OF  
PRIORITY DOCUMENT

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2002年12月 9日  
Date of Application:

出願番号      特願2002-356127  
Application Number:

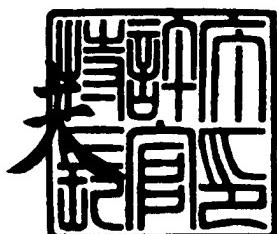
[ST. 10/C] : [JP2002-356127]

出願人      株式会社ルネサステクノロジ  
Applicant(s):

2003年11月17日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康



【書類名】 特許願  
【整理番号】 H02013711A  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 29/786  
H01L 27/108

## 【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内  
【氏名】 長田 健一

## 【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内  
【氏名】 河原 尊之

## 【特許出願人】

【識別番号】 000005108  
【氏名又は名称】 株式会社 日立製作所

## 【代理人】

【識別番号】 100075096

## 【弁理士】

【氏名又は名称】 作田 康夫  
【電話番号】 03-3212-1111

## 【手数料の表示】

【予納台帳番号】 013088  
【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

複数のワード線と、

第1と第2ビット線と、

複数のメモリセルとを具備し、

前記複数のメモリセルの各々は、Pチャネル型の第1と第2MISFETと、Nチャネル型の第3、第4、第5と第6MISFETとを具備し、前記第1と第3MISFETのドレインと前記第2と第4MISFETのゲートは接続され、前記第1と第3MISFETのゲートと前記第2と第4MISFETのドレインは接続され、前記第5MISFETのソース・ドレイン経路は前記第1ビット線と第3MISFETのドレインとの間に接続され、前記第6MISFETのソース・ドレイン経路は前記第2ビット線と第4MISFETのドレインとの間に接続され、前記第1乃至第4MISFETのチャネルが形成される領域はフローティング状態であり、

前記第5と第6MISFETのチャネルが形成される領域に電位を供給する第1配線が接続されていることを特徴とする半導体装置。

【請求項 2】

請求項1に記載の半導体装置は、第1と第2半導体層と、第1と第2半導体層との間に配置された絶縁層を有する半導体チップであって、

前記第1乃至第6MISFETの拡散層は前記第1半導体層内に形成され、

前記第1乃至第6MISFETのチャネルが形成される領域は互いに絶縁層により分離されている半導体装置。

【請求項 3】

請求項2記載の半導体装置において、

前記第5MISFETのチャネルが形成される領域の電位はそのゲートが接続されたワード線の電位に応じて制御され、

前記第6MISFETのチャネルが形成される領域の電位はそのゲートが接続されたワード線の電位に応じて制御され、

前記複数のワード線のうち、非選択のワード線に接続されたメモリセルの前記第5と第6MISFETのチャネルが形成される領域の電位は、選択されたワード線に接続されたメモリセルの前記第5と第6MISFETのチャネルが形成される領域の電位より低い半導体装置。

**【請求項4】**

請求項2記載の半導体装置において、

ワード線が選択された期間及びワード線が選択されていない期間に、前記複数のメモリセルに接続された前記第1配線に同じ電位が供給される半導体装置。

**【請求項5】**

請求項1に記載の半導体装置は、第1と第2半導体層と、第1と第2半導体層との間に配置された絶縁層を有する半導体チップであって、

前記第2半導体層に前記メモリセルの動作電圧よりも大きい電圧が印加され、

前記第3乃至第6MISFETの拡散層は前記第1半導体層内に形成され、

前記複第1と第2MISFETは縦型MISFETで、それぞれ前記第1半導体層の上にソース領域、チャネル領域、ドレイン領域を積層させた半導体装置。

**【請求項6】**

第1と第2負荷用Pチャネル型MISFETと、第1と第2駆動用Nチャネル型MISFETと、第1と第2転送用Nチャネル型MISFETとを具備するメモリセルを有し、

前記第1転送用Nチャネル型MISFETのゲートとチャネル形成領域は接続され、

前記第2転送用Nチャネル型MISFETのゲートとチャネル形成領域は接続され、

前記第1と第2負荷用Pチャネル型MISFET及び、第1と第2駆動用Nチャネル型MISFETのゲートとチャネル形成領域は接続されていないことを特徴とする半導体装置。

**【請求項7】**

請求項6に記載の半導体装置は、複数のワード線、複数のビット線と、複数の前記メモリセルとを具備し、

前記複数のワード線のうち、非選択のワード線に接続された前記メモリセルの前記第1転送用Nチャネル型MISFETのチャネル形成領域の電位は、選択されたワード線に接続された前記メモリセルの前記第1転送用Nチャネル型MISFETのチャネル形成領域の電位より低く、

前記メモリセルはSOI基板に形成されている半導体装置。

#### 【請求項8】

請求項7に記載の半導体装置において、

前記SOI基板に前記メモリセルの動作電圧よりも大きい電圧が印加され、第1と第2駆動用Nチャネル型MISFETと、第1と第2転送用Nチャネル型MISFETのチャネル形成領域は互いに絶縁層により分離されていることを特徴とする請求項7に記載の半導体装置。

#### 【請求項9】

第1半導体層と、第2半導体層と、前記第1と第2半導体層との間の絶縁膜とを具備する半導体装置であって、

前記第1半導体層には複数の第1MISFETの拡散層が形成され、

前記第2半導体層の一部は前記第1半導体層と前記絶縁膜が覆われていない第1半導体領域を有し、前記第1半導体領域には前記第1半導体領域と同導電型で不純物濃度が高い給電領域が形成され、

前記給電領域に電圧が印加されることにより、前記複数の第1MISFETのしきい値が変化する半導体装置。

#### 【請求項10】

請求項9に記載の半導体装置において、

前記給電領域は前記前記第1半導体層と前記絶縁膜が覆われる領域を囲むようにリング状に形成され、

前記第1半導体領域には、前記給電領域及び前記第2半導体層とPN接合を形成する第2半導体領域が形成され、

前記第2半導体領域内には前記第2半導体領域とPN接合を形成する第3半導体領域が形成され、

前記第2半導体領域には、前記第2領域とその拡散層がPN接合を形成する複数

の第2MISFETが形成され、

前記第3半導体領域には、前記第3領域とその拡散層がP N接合を形成する複数の第3MISFETが形成される半導体装置。

#### 【請求項11】

請求項10に記載の半導体装置において、

前記複数の第1と第2MISFETのゲート絶縁膜は同じ工程で形成される半導体装置。

#### 【請求項12】

請求項10に記載の半導体装置において、

前記第2半導体層はN型であって、

前記給電領域に印加される電圧は、前記複数の第1MISFETに供給される動作電圧よりも高い半導体装置。

#### 【請求項13】

請求項10に記載の半導体装置において、

前記第1半導体層にスタティック型メモリセルが形成され、

前記第2と第3半導体領域に入出力回路が形成される半導体装置。

#### 【請求項14】

請求項13に記載の半導体装置において、

前記第1半導体層には更にロジック回路が形成され、

前記第2と第3半導体領域に更に前記ロジック回路の動作電圧を制御するスイッチ回路と、アナログ回路とが形成される半導体装置。

#### 【請求項15】

複数の第1導電型チャネルの第1MISFETと、複数の第2導電型チャネルの第2MISFETとを具備する第1回路部と、

複数の第3MISFETとを具備する第2回路部とが半導体チップに形成された半導体装置であって、

前記半導体チップは一部に絶縁層が埋め込まれた第1導電型半導体基板を有し、前記半導体基板内には、前記半導体基板とP N接合を形成する第1半導体領域と、前記半導体基板より不純物濃度が高い第2導電型の第2半導体領域が形成され、

前記第1半導体領域内には前記第1半導体領域とPN接合を形成する第3半導体領域が形成され、

前記絶縁層の上の半導体領域には、前記複数の第3MISFETの拡散層が形成され、

前記複数の第1MISFETの拡散層は各々前記第1半導体領域とPN接合を形成し、

前記複数の第2MISFETの拡散層は各々前記第3半導体領域とPN接合を形成し、

前記第2半導体領域に第1電圧が印加される半導体装置。

#### 【請求項16】

請求項15に記載の半導体装置において、

前記第1導電型はN型であって、

前記第1電圧は前記第2回路部の動作電圧よりも高い電圧である半導体装置。

#### 【請求項17】

請求項16に記載の半導体装置において、

前記第2回路部はスタティック型メモリセルを具備し、

前記第1回路部は入出力回路を具備する半導体装置。

#### 【請求項18】

請求項17に記載の半導体装置において、

前記第2回路部は、更にロジック回路とを具備し、

前記第1回路部は、更に前記ロジック回路の動作電圧を制御するスイッチ回路を具備する半導体装置。

#### 【請求項19】

請求項18に記載の半導体装置において、

前記複数の第3MISFETのゲート電極はシリコンゲルマニウムで構成され、

前記複数の第3MISFETのPチャネル型及びNチャネル型MISFETのゲート電極はP型の不純物が注入されている半導体装置。

#### 【請求項20】

請求項17に記載の半導体装置において、

前記半導体基板は絶縁膜を介してシリコン基板同士を貼り合わせた基板より形成されたものであり、

前記第1乃至第4半導体領域は前記貼り合わせられた基板の一部をエッチングで絶縁膜上のシリコン基板及び絶縁膜を除去した領域に形成されたものである半導体装置。

#### 【請求項21】

請求項17に記載の半導体装置において、

前記第1乃至第3MISFETのゲート絶縁膜は同じ工程で形成される半導体装置。

#### 【請求項22】

請求項16に記載の半導体装置は更に前記第1と第2MISFETにより形成される降圧回路を有し、

前記第1電圧は半導体チップの外部から供給される電圧であり、

前記第1電圧は降圧回路に入力され、前記第2回路部の動作電圧は前記降圧回路の出力電圧である半導体装置。

#### 【請求項23】

ロジック回路と、

前記ロジック回路の動作電圧を制御するスイッチ回路と、

入出力回路とを有し、

バルク部とSOI部を有する半導体基板において、

前記スイッチ回路と前記入出力回路は前記バルク部に形成され、

前記ロジック回路は前記SOI部に形成される半導体装置。

#### 【請求項24】

請求項23に記載の半導体装置は、更にSRAMメモリセルと前記メモリセルの動作電圧を生成する電源回路とを有し、

前記SRAMメモリセルは前記SOI部に形成され、

前記電源回路は前記バルク部に形成される半導体装置。

#### 【請求項25】

請求項24に記載の半導体装置において、

前記 S O I 部に拡散層が形成された P 型及び N 導電型のチャネルを有する M I S F E T のゲート電極はシリコンゲルマニウムで形成され、 P 型の不純物が注入され、

前記 S O I 部の基体にはバルク領域に形成された給電部を介して電圧が印加される半導体装置。

#### 【請求項 26】

第 1 半導体層と、第 2 半導体層と、前記第 1 と第 2 半導体層との間の絶縁膜とを具備する半導体装置であって、

複数の N チャネル型第 1 M I S F E T と、複数の P チャネル型第 2 M I S F E T とを具備するロジック回路と、

N チャネル型第 3 乃至第 6 M I S F E T と P チャネル型第 7 乃至第 8 M I S F E T とを具備するメモリセルとを有し、

前記第 1 乃至前記第 8 M I S F E T の拡散層は各々第 1 半導体層に形成され、

前記第 1 乃至前記第 8 M I S F E T のゲート電極はシリコンゲルマニウムで形成され、 P 型の不純物が注入され、

前記第 2 半導体層には電圧が印加される半導体装置。

#### 【請求項 27】

請求項 26 に記載の半導体装置において、

前記ロジック回路はワード線を駆動するワードドライバ回路と、ビット線対に接続されたセンスアンプ回路とを具備し、

前記第 3 と第 4 M I S F E T のゲートは前記ワード線に接続され、

前記第 5 と第 7 M I S F E T のゲートは前記第 6 と第 8 M I S F E T のドレインと接続され、

前記第 6 と第 8 M I S F E T のゲートは前記第 5 と第 7 M I S F E T のドレインと接続され、

前記第 3 と第 4 M I S F E T のチャネル領域の電位は前記ワード線の電位に応じて変化する半導体装置。

#### 【請求項 28】

請求項 26 に記載の半導体装置において、

前記第2半導体層には前記メモリセルの動作電圧よりも高い電圧が印加される半導体装置。

【請求項29】

請求項26に記載の半導体装置は、前記第2半導体層の一部に絶縁膜と前記第1半導体層が設けられていない第1領域を有し、

前記第1領域には半導体装置外とのデータを入出力する入出力回路が形成されている半導体装置。

【請求項30】

請求項28に記載の半導体装置は、前記第2半導体層の一部に絶縁膜と前記第1半導体層が設けられていない第1領域を有し、

前記第2半導体層はn型であって、前記第2半導体層に印加される電圧は上記第1領域に設けられた給電部を介して印加される半導体装置。

【請求項31】

請求項30に記載の半導体装置において、

前記第1領域には更にメモリセルの動作電圧を生成する電源回路が生成され、

上記電源回路は半導体装置外より入力される電圧を降圧する機能を有する半導体装置。

【請求項32】

第1半導体層と、第2半導体層と、前記第1と第2半導体層との間の絶縁膜とを具備する半導体装置であって、

複数のNチャネル型第1MISFETと、複数のPチャネル型第2MISFETとを具備するロジック回路と、

Nチャネル型第3乃至第6MISFETとPチャネル型第7乃至第8MISFETとを具備するメモリセルとを有し、

前記第1乃至前記第8MISFETの拡散層は各々第1半導体層に形成され、

前記第1と第2MISFETのゲート電極はシリコンゲルマニウムで形成され、P型の不純物が注入され、

前記第3乃至第6MISFETのゲート電極はポリシリコンで形成され、N型の不純物が注入され、

前記第7と第8MISFETのゲート電極はポリシリコンで形成され、P型の不純物が注入され、

前記第2半導体層には電圧が印加される半導体装置。

#### 【請求項33】

請求項32に記載の半導体装置において、

前記ロジック回路はワード線を駆動するワードドライバ回路と、デコーダ回路と、ビット線をプリチャージする回路とを具備し、

前記第3と第4MISFETのゲートは前記ワード線に接続され、

前記第5と第7MISFETのゲートは前記第6と第8MISFETのドレインと接続され、

前記第6と第8MISFETのゲートは前記第5と第7MISFETのドレインと接続され、

前記第3と第4MISFETのチャネル領域の電位は制御され、前記第5乃至第8MISFETのチャネル領域はフローティング状態である半導体装置。

#### 【請求項34】

請求項33に記載の半導体装置において、

前記第2半導体層には前記メモリセルの動作電圧よりも高い電圧が印加される半導体装置。

#### 【請求項35】

請求項34に記載の半導体装置において、

前記第7MISFETのしきい値の絶対値は前記第3MISFETのしきい値より大きい半導体装置。

#### 【請求項36】

請求項31に記載の半導体装置において、

前記第1乃至第8MISFETはいずれもエンハンスマント形MISFETであり、

前記第2半導体層はn型である半導体装置。

#### 【発明の詳細な説明】

#### 【0001】

### 【発明の属する技術分野】

本発明は、半導体装置、特にS R A M (Static Random Access Memory) が搭載されるオンチップメモリ、マイクロプロセッサ、あるいは、システムL S Iなどに関する。

### 【0002】

#### 【従来の技術】

特許文献1には、スタティック型RAMをSOI構造にするとともに、メモリセルのNチャネルMOSFETが形成されるP型ウエル領域をサブワード線単位で独立に形成し、該P型ウエル領域に、対応するサブワード線が非選択状態とされるとき、比較的低いウエル電圧を印加し、選択状態とされるときは、比較的高いウエル電圧を印加する構成が開示されている。

特許文献2には、SOI厚さまたはゲート絶縁膜厚さを変えることによりMOS F E Tのしきい電圧を制御し、シリコン基体上の絶縁電極に電圧を印加することによりSOI上のしきい値電圧を変化させ、集積回路の低電力動作時には低リーケ電流化、高速動作時には大電流化を実現した構成が開示されている。本文献では、金属材料をゲート電極で変えることもしきい値を変える上で有効であることが記載されている。

特許文献3には、ロジック部のSOI基板上に形成されたPMOSトランジスタのゲート電極をP型ゲート電極、D R A Mに於けるセル部のSOI基板上形成されたPMOSトランジスタのゲート電極をN型ゲート電極で構成する構成が開示されている。

特許文献4には、SOI基板からシリコン層及び絶縁層を選択的に除去してシリコン基板を露出させ、露出されたシリコン基板にD R A Mメモリセル部を、シリコン層にD R A Mのロジック回路を形成する構成が開示されている。メモリセル内のアクセストランジスタのしきい値を高くするため、シリコン基板内のウエルに基板バイアスを印加している。

特許文献5には、デバイス構造としてSOI領域とシリコン基板領域を有するD R A Mにおいて、メモリセル部をSOI領域に、ロジック回路部および入出力回路部をシリコン基板領域に形成する構成が開示されている。

**【0003】****【特許文献1】**

特開 2002-53168号公報

**【特許文献2】**

特開平7-106579号公報

**【特許文献3】**

特開 2001-36037号公報

**【特許文献4】**

特開平10-303385号公報

**【特許文献5】**

特開平8-213562号公報

**【0004】****【発明が解決しようとする課題】**

本願発明者等は、本願に先立って半導体装置の微細化及び低電圧化が進んだときに、特にSRAMを搭載させた半導体装置において問題となる事項の検討を行った。

LSIのシステムでは、低リーク・低電力動作がますます重要となっており、プロセッサの内部電圧は低電圧化が進む。プロセッサに搭載されるSRAMメモリも、今後0.2V～0.6V程度までの低電圧動作が要求される。低電圧になると書込動作・読み出し動作のための動作マージンが減少し、さらに0.08um以降のバルクシリコンを使った半導体装置ではしきい値ばらつきの影響が顕著となるため、SRAMセルを安定動作させることが困難となる。また、リーク電流増大を防ぐためしきい値を下げることができず、低電圧での動作速度が劣化する。さらにソフトエラー耐性の劣化も顕著となる。

SOI (Semiconductor On Insulator)、特に完全空乏型 (Full Depletion Type) SOI基板では、バルクシリコンで深刻なインプラの揺らぎによるしきい値ばらつきが低減できるため、低電圧での安定動作が可能となる。また、トランジスタのサブスレッシュホールド係数が小さいため、しきい値を下げても、リーク電流は増大せず、低電圧での高速動作が可能になる。さらに電荷が発生するチャネル

領域が小さいのでソフトエラー耐性も向上できる。このため、S O I 基板はバルクシリコンの問題を解決できる次世代技術として期待されている。

一方、完全空乏型 S O I ではトランジスタのしきい値は、最適なしきい値のMISFETを形成するのが困難である。例えば、図13に示すように、300MHz以上の高速性が追求されているSRAM(HIGH SPEED)ではメモリセル部でP型MISFETのしきい値VTが $-0.5 \sim -0.3$ V、N型MISFETのしきい値VTが $0.2 \sim 0.4$ V程度、ロジック部でP型MISFETのしきい値VTが $-0.3 \sim -0.1$ V、N型MISFETのしきい値VTが $0.1 \sim 0.3$ V程度、求められている。100MHz～300MHzの標準的なSRAM(STANDARD)、低電力を要求する100MHz以下のSRAM(LOW POWER)でも同様に、動作に最適な所定のしきい値を有するMISFETが必要となる。しかしながら、図14に示すように通常用いられているポリシリコンでP型の不純物が注入されたゲート電極のPチャネル型MISFET、ポリシリコンでN型の不純物が注入されたゲート電極のNチャネル型MISFETでは、しきい値では動作に必要なしきい値のMISFETを形成することができない。バルク上に形成されたM I S F E T では、チャネル領域の不純物濃度により、容易にしきい値を制御することができる。しかし、S O I ではチャネル領域の不純物濃度のみならず、酸化膜厚、チャネル長と幅の比を変えても、しきい値が変化しにくいという問題がある。

また、バルク上で形成されたM I S F E T は基板電位を電源電位又は接地電位と接続しているのに対し、S O I ではチャネル形成領域の電位が制御されず、フローティング状態となっているためノイズに弱いという問題がある。S O I においてもチャネル形成領域を制御すればよいが、同導電型MISFETでも、チャネル領域は分離されているため、MISFET毎に給電部が必要となり、面積の増大を招くことになる。

そこで、本願発明の第1課題はS O I 基板を用いた半導体装置において、回路動作上要求されるしきい値のMISFETを提供することである。第2課題の課題は、面積の増大を抑えつつ、安定した動作を保証するS O I 基板を用いたSRAMメモリ搭載の半導体装置を提供することにある。

### 【0005】

#### 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

SRAMメモリセルにおいて、駆動MISFETのチャネル形成領域はフローティング状態とし、転送MISFETのチャネル形成領域を制御する。その際に、転送MISFETにチャネル形成領域とゲート電極とを接続するDTMOSを用いると、該メモリセルを選択した時に、高速に読み出すことが可能となる。

SOI基体の絶縁層下の半導体層に半導体層より不純物濃度の高い給電部を設け、該給電部に電圧を印加することによりSOI基体内に形成された素子のしきい値を調整する。

ハイブリッド基板においては、給電部及び入出力回路、アナログ回路、SOI内に形成される回路の動作電圧を制御するスイッチ回路をバルク部に、SRAMメモリセル、ロジック回路をSOI部に形成する。

ハイブリッド基板及びバルク部を有さないSOI基板において、SOI基体の絶縁層下の半導体層への電圧の印加、ゲート電極材料、ゲート電極へ注入される不純物の導電型の条件を変えることにより、半導体装置の要求するしきい値のMISFETを形成する。

### 【0006】

#### 【発明の実施の形態】

以下、本発明に係わる半導体記憶装置の好適ないくつかの事例につき、図面を用いて説明する。

##### 〈実施例1〉

図1は、本発明に係わる半導体装置の一実施例を示す回路図である。半導体装置であるSRAMメモリセルを搭載したチップ10は、半導体集積回路の一部を示していて、少なくともメモリアレイ111がSOI (Semiconductor On Insulator) 基体に形成された半導体基板101に形成される。

メモリアレイ111には、複数のビット線(BT,BB)と、複数のワード線(WL)との交点に配置された複数のSRAMメモリセル(CELL)がマトリックス状(行列状)に配置されている。制御回路13はデコーダ回路、ワードドライバ回路を具備し、アドレス信号ADDの入力によりデコーダ回路でアドレス信号がデコ

ードされ、それに基づいてワードドライバ回路により、複数のワード線 (WL) の一本が選択される。また、制御回路 117 によりプリチャージ・イコライズ回路制御信号EQ、読み出し用Yスイッチ制御信号YSR、書き込み用Yスイッチ制御信号YSW、センスアンプ制御信号SAが生成され、各回路に出力される。ビット線には、センスアンプ回路 (107, 108)、プリチャージ・イコライズ回路 (103, 104) およびYスイッチ回路 (105, 106) が接続され、データ入出力回路 (15) を介して、外部からの書き込みデータ (DIN) と、外部への読み出しデータ (DOUT) が処理される。データ入出力回路 (15) は、入出力バッファ回路及びライトアンプ回路を具備する。

次に図2の動作波形を用いて読み出し動作および書き込み動作について説明する。図2の第1サイクル目が読み出し動作(READ OP)を、第2サイクル目が書き込み動作(WRITE OP)を示している。読み出し動作は、アドレスあるいはクロックが入力されると、制御回路 13 内のデコーダ回路によりデコードされ、ワード線 WL が選択される。同時にプリチャージ・イコライズ信号 EQ は “L” (“LOW” レベル) から “H” (“HIGH” レベル) になり、読み出し用Yスイッチ制御信号 YSR は “H” から “L” に遷移する。これによりビット線 (BT, BB) に微小電位差が生じ、制御信号 SA でセンスアンプ (107, 108) を活性化することにより微小電位差を増幅してデータをデータ入出力回路 (10) に送り、読み出しデータが出力バッファを介して外部出力 DOUT に現れる。

書き込み動作は、アドレスあるいはクロックが入力されると、制御回路 115 内のデコーダ回路によりデコードされ、ワード線 WL が選択される。同時にプリチャージ・イコライズ信号 EQ は “L” から “H” になり、書き込み用Yスイッチ制御信号 YSW は “L” から “H” に遷移する。同時に外部入力 DIN のデータが入力バッファ回路とライトアンプを介して、ビット線 (BT, BB) に入力されデータがメモリセルに書き込まれる。

図3は、図1のメモリセルアレイ 111 内の複数のスタティック型メモリセルの一つを示したものであり、SOI 基体に形成される。図4は図3に用いられている素子 (MP1, MP2, MN1, MN2, DTMN1, DTMN2) の断面概念図である。

メモリセル (DCELL) は、1対のCMOSインバータの入力と出力が互いに接続されて構成されるフリップ・フロップ（負荷Pチャネル型MISFET (MP1, MP2), 駆動Nチャネル型MISFET (MN1, MN2) で構成される）と、前記フリップ・フロップの記憶ノードNL20と記憶ノードNR20とをビット線 (BT, BB) に選択的に接続する転送Nチャネル型MISFET (DTMN1, DTMN2) で構成される。SOIでは図4に示すように、第1単結晶シリコン層と第2単結晶シリコン層(210)との間に絶縁層208が配置され、第1シリコン層内にMISFETのチャネル形成層(209)及び拡散層(207, 206)が形成される。拡散層(207)にはN型の不純物が注入され、拡散層(206)にはP型の不純物が注入されている。Pチャネル型MISFET (MP1, MP2)と、Nチャネル型MISFET (MN1, MN2) のチャネルが形成される領域 (209) は電圧が供給される配線とは接続されず、フローティング状態、Nチャネル型MISFET (DTMN1, DTMN2) のチャネルが形成される領域 (209) は電圧が供給される配線と接続され、電位が制御されている。SOIに素子を形成する場合、図4に示すように素子はそれぞれ分離されて形成され、通常素子形成領域の電位は制御されておらず、フローティング状態となっている。バルク上に形成された素子は同導電型のものは共通のウエルに形成され、ウエル電位はPチャネル型MISFETが形成されている場合は最高の動作電位である電源電位VDD、Nチャネル型MISFETが形成されている場合は最低の動作電位である接地電位VSSに制御されているのに対し、SOIでは素子がそれぞれ絶縁分離されているため、素子形成領域の電位をそれぞれ制御するのは面積の制約上困難である。しかし、メモリセル内の素子の素子形成領域がフローティング状態では、駆動されるビット線に接続されたメモリセルのうち、非選択のワード線に選択されたメモリセルにノイズが伝達しやすい。このため、Nチャネル型MISFET (DTMN1, DTMN2) のチャネルが形成される領域に電圧が供給される配線を接続し、少なくとも非選択のワード線に接続されたメモリセルに対しては接地電位などの低い電位を供給する。

電圧が供給される配線に回路の動作電位のうちの低い電位(0V)を固定で、ワード線が選択時及び非選択時にも供給することも可能であるが、図4に示すように

、Nチャネル型DTMISFET（DTMN1, DTMN2）のゲート電極とチャネル領域をそれぞれ接続することが有効となる。ゲートとチャネル領域を接続したMISFETはDT（Dynamic Threshold）MOSとよばれ、しきい値を動的に変えるという特徴を有するが、これによりNチャネル型DTMISFET（DTMN1, DTMN2）のチャネル形成領域には、ワード線WLに供給される電圧に応じた電位を供給することができる。非選択時にはワード線に接続されているNチャネル型DTMISFET（DTMN1, DTMN2）は常にオフ状態のため、チャネルは低い電圧（接地電位）が供給され、チャネル領域がフローティングでなくなり、リーク電流を低減することができる。また、選択時には、チャネル電位は“H”になり、しきい値が下がるため、メモリセル電流が増大して高速動作が可能となる。また、ゲート絶縁膜の一部を除去し、Nチャネル型MISFET（MN1, MN2）のチャネル形成領域をゲート電極の配線と導通させることは、チャネル形成領域と固定の電源配線（接地線）を接続させるより、製造工程が簡易になるという効果も有する。

本実施例では、Pチャネル型MISFET（MP1, MP2）のソース・ドレイン領域は第1シリコン層内に形成され、電流が流れるソース・ドレイン経路は基板と水平方向で、横型MISFETとなっているが、半導体基板の正面に垂直な方向に延在する積層体に形成されたソース、チャネル領域およびドレインと、積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有しする縦型MISFETを使用しても良い。負荷としても用いる縦型MISFETはSOI内に形成された転送・駆動N型MISFETと接続するため、その上に形成される。Pチャネル型MISFETをSOI上に形成することにより、メモリアレイの面積を低減することができる。縦型MISFETでも、チャネル領域はフローティング状態で、電位を供給する配線と接続されていない。チャネル領域とゲート電極は接続されていないことにより、接続した場合において問題となるリーク電流の増大、Pチャネル型MISFET（MP1, MP2）のソース・ドレイン間の動作電圧をダイオード電位以下にしなければならない制約から逃れることができる。

Nチャネル型MISFET（MN1, MN2）においても同様、チャネル形成領域とゲート電極を接続せずフローティング状態にすることにより、接続した場合におい

て問題となるリーク電流の増大、Nチャネル型MISFET（MN1, MN2）のソース・ドレイン間の動作電位をダイオード電位以下にしなければならない制約から逃れることができる。

#### 〈実施例2〉

実施例1ではSOIに形成されるSRAMメモリセル内の素子形成領域がフローティング状態になることによる問題を解決する一例を示したが、本実施例では、特に完全空乏型SOI（FDSOI）において、しきい値の設定の問題を解決する一例を示す。図13に示すように、今後のSRAMメモリセルを搭載した半導体装置は、300MHz以上の高速性が追求されているSRAM(HIGH SPEED)ではメモリセル部でP型MISFETのしきい値VTが-0.5~-0.3V、N型MISFETのしきい値VTが0.2~0.4V程度、ロジック部でP型MISFETのしきい値VTが-0.3~-0.1V、N型MISFETのしきい値VTが0.1~0.3V程度、求められている。

100MHz~300MHzの標準的なSRAM(STANDARD)ではメモリセル部でP型MISFETのしきい値VTが-0.1~-0.8V、N型MISFETのしきい値VTが0.4~0.6V程度、ロジック部でP型MISFETのしきい値VTが-0.4~-0.2V、N型MISFETのしきい値VTが0.2~0.4V程度、低電力を要求する100MHz以下のSRAM(LOW POWER)ではメモリセル部とロジック部でP型MISFETのしきい値VTが-0.9~-0.7V、N型MISFETのしきい値VTが0.7~0.9V程度、求められている。特徴としてリーク電流の削減のため、いずれもゲート・ソース間に0Vの電位が供給された時に電流が流れないエンハスメントMISFETが必要となる。ロジック部においてはP型N型でしきい値の絶対値の大きさは等しくなるよう、SRAMメモリセル部ではN型で駆動能力を上げ、P型でリーク電流を抑えるために、P型がN型よりしきい値の絶対値が等しいか大きくなるようにする設計する。そのようにした上で、低電力型(LOWPOWER)では相対的にしきい値を大きく、高速型(HIGHSPEED)では相対的にしきい値を小さく、標準型(STANDARD)では、低電力と高速性のバランスが重視されるためにP型とN型それぞれ、2種類のしきい値が用意できるのが望ましい。一方図14に示すように、通常用いられているポリシリコンでP型の不純物が注入されたゲート電極のPチャネル型MISFET、ポリシリコンでN型の不純物が注入されたゲート電極の

Nチャネル型MISFETでは、しきい値では動作に必要なしきい値のMISFETを形成することができない。そこで、発明者等の試作の結果、図12に示す基板の種類（S U B）、ゲート材料（GATEMAT）、ゲート電極へ注入する不純物の導電型（GATEIMP）、SOI基体への基板バイアスの印加(SOIVBB)を組み合わせることにより、所望のしきい値をSRAMメモリセル部(SRAM)とロジック部(LOGIC)で実現できることが可能となった。SOI基体(SOI)のみでバルク(BULK)を有さないSOI基板(SOISUB)におけるしきい値の設定方法は上に、SOI基体(SOI)とバルク(BULK)を有するハイブリッド基板(HYBRIDSUB)におけるしきい値の設定方法は下に表している。バルク部を有する場合は、しきい値はチャネル領域への不純物の注入量によりしきい値を制御できるため、ゲート材料(GATEMAT)、ゲート電極へ注入する不純物の導電型(GATEIMP)は任意に選択でき、しきい値の値も任意に設定することができる。表において、ゲート電極へ注入する不純物の導電型(GATEIMP)で、Pと記載されたものは、P型不純物であるフッ化ボロン(BF<sub>2</sub>)等をイオン注入したもので、Nと記載されたものは、N型不純物である燐(P)、砒素(As)等をイオン注入したものである。VERTICALMOSと記載されたものは、実施例1で述べた縦型MISFETを用いるもので、これにより面積を低減するとともにSOI上で要求されるしきい値の種類を減らすことができ、設計の自由度が増える。

本実施例では、SOI部とバルク部を有するハイブリッド基板を用いた場合にSRAMメモリセルを搭載したLSIに好適なしきい値のMISFETの形成方法について説明する。SOI基板でバルク部をもたないものに比べ製造工程は複雑となるが、動作の安定性を確保することができる。尚、半導体装置においては、実施例1のフローティング対策を行ったSRAMと本実施例以下の実施例を組み合わせることも非常に有効となる。

図5は、ハイブリッド基板を用いた場合の半導体装置300の一例を示すブロック図である。完全空乏型SOI基体308上には、SRAMメモリアレイ303、メモリ制御回路304、CPU回路305、バスコントロール回路306が形成されている。SOI基板の外側のバルクシリコン領域309には、アナログ回路301、メモリ制御回路等の動作電圧を制御する電源スイッチ回路302、入出

力回路307、SOI基体に電圧を印加する給電部400が形成されている。SOI基体に電圧を印加する給電部400は、SOIに形成された素子に基板バイアスを印加し、素子のしきい値VTを変えるものであるが、SOI基体自身に電圧を印加することにより、素子のチャネル形成領域を個別に制御する必要がなくなる。印加される電圧を均一にSOI基体にかけるため、SOI基体領域を囲むようにリング状に形成している。つまり、バルク領域の中でSOI基体と隣接して設けられている。また、バルク状に形成することにより、バルク状に形成される素子に用いられるプロセスを利用して容易に給電部を形成することができる。アナログ回路301はSRAMメモリセルの動作電圧を生成する降圧回路を具備する電源回路、クロック発生回路（PLL回路）等で構成される。

完全空乏型SOI領域308に形成されているSRAMメモリアレイ303やバスコントロール回路306、およびCPU回路305の中でクリティカルパス以外で使用されているPチャネル型MISFETのゲート電極は、N型のポリシリコンで形成され、Nチャネル型MISFETのゲート電極はP型のポリシリコンで形成されている。また、完全空乏型SOI領域308に形成されているメモリ制御回路304やCPU回路305内のクリティカルパスで使用される、Pチャネル型MISFETおよびNチャネル型MISFETのゲート電極はP型のシリコンゲルマニウムで形成される。完全空乏型SOI領域309の埋め込み酸化膜の下のシリコン基板に、例えば3Vの電圧が印加された場合、SRAMメモリアレイ303やバスコントロール回路306、およびCPU回路305の中でクリティカルパス以外で使用されているPチャネル型MISFETのしきい値を-1.0Vに、Nチャネル型MISFETのしきい値を0.6Vに、また、メモリ制御回路304やCPU回路305内のクリティカルパスで使用される、Pチャネル型MISFETのしきい値を-0.3Vに、Nチャネル型MISFETのしきい値を0.3Vに設定することができる。

アナログ回路301、電源スイッチ回路302、入出力回路307は、バルクシリコン領域309に形成され、チエネル不純物の量によってしきい値は任意に設定される。

以上により、SOI上にSRAMおよび周辺回路、論理回路を形成しても回路毎に最適なしきい値を設定できるため、性能が劣化せず、SOIの特性を最大限に

利用することができ、従来バルクシリコン上に形成されたSRAMに比べて、SRAMセルの低電圧での安定動作、同一リード電流での高速動作、ソフトエラーベン性の向上が可能となる。

上記半導体チップ300のうち、特に汎用SRAMメモリ内に存在する、メモリセルアレイ303、メモリセル制御回路304、入出力回路307、及び電源スイッチ回路302を詳細に示したものを図6に示す。SRAMチップ11は、半導体集積回路の一部を示しており、完全空乏型SOI領域101とバルクシリコン領域102が共存するハイブリット半導体基板に形成される。図6ではバルクに形成されているMISFETの基板電位を回路の動作電位の高電位または低電位に接続して記した。

複数のSRAMメモリセル（CELL00, CELL01, CELL10, CELL11）がマトリックス状（行列状）に配置され、メモリアレイ111を構成する。メモリアレイ111は完全空乏型SOI領域101上に形成される。

メモリセルCELL00は、1対のCMOSインバータの入力と出力が互いに接続されて構成されるフリップ・フロップ（Pチャネル型MISFET（MP1, MP2）、Nチャネル型トランジスタ（MN1, MN2）で構成される）と、前記フリップ・フロップの記憶ノードNL0と記憶ノードNR0とをビット線（BT0, BB0）に選択的に接続するNチャネル型MISFET（MN3, MN4）とで構成される。Nチャネル型MISFET（MN3, MN4）のゲート電極には、ワード線WL0が接続される。

メモリセルCELL10は、1対のCMOSインバータの入力と出力が互いに接続されて構成されるフリップ・フロップ（Pチャネル型MISFET（MP3, MP4）、Nチャネル型トランジスタ（MN5, MN6）で構成される）と、前記フリップ・フロップの記憶ノードNL1と記憶ノードNR1とをビット線（BT1, BB1）に選択的に接続するNチャネル型MISFET（MN7, MN8）とで構成される。Nチャネル型MISFET（MN7, MN8）のゲート電極には、ワード線WL0が接続される。メモリセルは、実施例1でも用いたメモリセル（CELL）をも用いることにより、非選択のワード線へのノイズを抑制することができる。また、センスアンプ回路（107, 108）とライトアンプ回路（109, 11

0) とプリチャージ・イコライズ回路（103, 104）およびYスイッチ回路（105, 106）からなるカラム回路が列状に並んでいる。

制御信号（S A, Y S W, Y S R, E Q）をコントロールするコントロール回路116およびワード線（W L 0, W L 1）をデコードするワードデコーダ・ドライバ回路115が配置される。以上の回路はすべてS O I 基板101に形成される。

コントロール回路116およびワードデコーダ・ドライバ回路115の動作電圧を供給する電源線V D D Iは、電源スイッチ119を介して電源電位V D Dに接続される。電源スイッチ119はPチャネル型MISFET19を用いて構成され、ゲート電極には制御信号P S Wが接続される。電源スイッチ119はメモリ制御回路等の電圧を制御するが、Pチャネル型M I S F E Tでなく、接地電位V S Sと接続したNチャネル型M I S F E T及びPとNチャネル型M I S F E T両方を電源線との間に設けることも有効である。

入力回路120は外部からの書き込みデータD I N 0を駆動してD W 0としてライトアンプ回路109に入力する回路であり、Pチャネル型MISFETM P 2 0とNチャネル型MISFETM N 2 0より構成される。

入力回路122は外部からの書き込みデータD I N 1を駆動してD W 1としてライトアンプ回路110に入力する回路であり、Pチャネル型MISFETM P 2 2とNチャネル型MISFETM N 2 2より構成される。

出力回路121はセンスアンプ回路の出力信号D R 0を駆動してD O U T 0として外部へ出力する回路であり、Pチャネル型MISFETM P 2 1とNチャネル型MISFETM N 2 1より構成される。

出力回路123はセンスアンプ回路の出力信号D R 1を駆動してD O U T 1として外部へ出力する回路であり、Pチャネル型MISFETM P 2 3とNチャネル型MISFETM N 2 3より構成される。電源スイッチ回路119および入力回路（120, 122），出力回路（121, 123）はバルクシリコン領域102に形成される。

読み出しおよび書き込み動作は実施例1で示した動作と同様である。

図7は本実施例において使用される素子の断面概要図を示している。半導体基板

210は、完全空乏型SOI領域217とバルクシリコン領域224より構成される。SIMOX(Separation By Implanted Oxygen)法によれば、SOI基体の素子形成領域下の埋め込み絶縁膜は部分的な酸素注入により半導体基板の一部に形成されるため、本図のようにバルク部224とSOI部217の表面が同じ高さで、バルク上に形成されたMISFETとSOIに形成されたMISFETのゲート絶縁膜204等と同じ工程で製造することができる。但し、この方法では、SOI部とバルク部の領域を酸素注入工程で確定させる必要がある。一方、第1と第2半導体基板を絶縁膜を介して貼り付けてSOIを形成する場合(Wafer Bonding)は、バルク部は、第1半導体基板と絶縁膜の一部をエッチングにより除去し、第2半導体基板が露出した表面に素子を形成するため、SOI部とバルク部の表面の高さが異なり、バルク上に形成されたMISFETとSOIに形成されたMISFETのゲート絶縁膜204等と同じ工程で製造することはできないが、エッチング工程によりバルク部とSOI部をわけるため、SOI基板の汎用性がよいという効果を有する。

SOI領域217では、Nチャネル型MISFET215とPチャネル型MISFET214の拡散層206、207が、埋め込み酸化膜208上のシリコン層に形成され、フィールド酸化膜205によってSOI基体部に形成されるMISFETは同導電型であっても互いに分離される。バルクシリコン領域224では、半導体基板210と同導電型で不純物濃度の高い給電領域211と、半導体基板とPN接合を形成するP型ウエル半導体領域220が形成され、P型半導体領域220内には該領域とPN接合を形成するN型ウエル半導体領域221が形成される。P型半導体領域220には、該半導体領域に電位Vbb2(回路内の低い動作電圧、接地電位)を供給し、P型半導体領域220の不純物濃度より高く同導電型の給電部231及び、P型半導体領域220とPN接合を形成するNチャンネルMISFET222のN型の拡散層230が形成される。N型半導体領域221には、該半導体領域に電位Vb<sub>b3</sub>(回路内の高い動作電圧)を供給し、N型半導体領域221の不純物濃度より高く同導電型の給電部241及び、N半導体領域221とPN接合を形成するPチャンネルMISFET223のP型の拡散層231が形成される。本構成を用いることにより、SOI基体に形成されたMISFETの素子のしきい値を簡易に

変化させることができる。S O I 基体に電圧を印加してS O I 基体に形成されたM I S F E Tのしきい値を変化させるには、そのバルク上に形成される回路の動作電圧よりも大きな電圧(例えば、3 V)の電圧を印加する必要がある。また、P型、N型で分けると制御が困難になるため、本構成では単一の電源により制御を簡易にするとともに、バルク上に給電領域221を設けた。負電圧をV<sub>b b 1</sub>に印加する場合は、導電型が上記と反対になり、半導体基板210も通常使われるP型を利用することができるが、負電圧は生成しにくいため、本構成では基板210をN型とし、正電圧を印加する。この電圧は内部の回路よりも大きい電圧であるため、半導体チップ外より入力される電圧を直接印加し、降圧回路等の電源回路にその入力電圧を入力させ、その出力電圧を内部の回路に用いることができる。尚、半導体基板210をN型とすることによりバルク部のウエル間で寄生ダイオードが発生し、リーコークが流れることもない。即ち、半導体基板をP型とし、V<sub>b b 1</sub>に3 V程度の電圧を印加し、N型半導体領域220のウエル電位を回路の最高電位である1 V程度にすると、基板210からN型半導体領域220にダイオードが形成され、素子が動作しなくなる。この際ウエル電位を3 V程度にするとダイオードは形成されないが、ウエル内の素子に基板バイアスが印加され、しきい値が大きくなるとともに、G I D L電流を誘発する恐れがある。

S O I 基体に電圧を印加する給電部211は、基体へ均一に電圧を印加するため、S O I 部を囲むようにリング状に形成する。

バルクシリコン上にNチャネル型MISFET222とPチャネル型MISFET223が形成される。

完全空乏型S O I 領域217には、メモリセルC E L Lおよびセンスアンプ回路(107, 108), ライトアンプ回路(109, 110), プリチャージ・イコライズ回路(103, 104), Yスイッチ回路(105, 106), コントロール回路116, ワードデコーダ・ドライバ回路115が形成される。バルクシリコン領域224には、電源スイッチ回路119および入力回路(120, 122), 出力回路(121, 123)が形成される。電源スイッチ回路119は動作電圧を制御する対象となる回路の近傍に置くことにより、スイッチの応答をよくすることも考えられるが、S O I 上で製造するとフローティング状態となり

、回路内のリーク電流を抑制することは難しい。そこで、本構成では、各回路の電源スイッチ部をバルク上に形成し、まとめた領域に形成した。

Pチャネル型MISFET 214は、チャネル領域209、およびP型拡散層206で形成されるソース・ドレイン電極、ゲート酸化膜204、P型の不純物が注入されたシリコンゲルマニウム203で形成されるゲート電極で構成される。

Nチャネル型MISFET 215は、チャネル領域209、およびN型拡散層207で形成されるソース・ドレイン電極、ゲート酸化膜204、P型の不純物が注入されたシリコンゲルマニウム203で形成されるゲート電極で構成される。

Pチャネル型MISFET 223は、Nウエル領域221、およびP型拡散層235で形成されるソース・ドレイン電極、ゲート酸化膜204、ゲート電極202で構成される。

Nチャネル型MISFET 222は、Pウエル領域220、およびN型拡散層230で形成されるソース・ドレイン電極、ゲート酸化膜204、ゲート電極202で構成される。

Pチャネル型MISFET 223とNチャネル型MISFET 222はバルク上に形成されているため、しきい値は拡散層の不純物濃度を調整することにより任意に形成でき、ゲート電極材料及びゲート電極に注入される不純物の導電型に制約はない。製造工程の簡略化のために、SOI上のMISFETと同様、ゲート電極にシリコンゲルマニウムに用い、かつ特性面からPチャネル型MISFETのゲート電極にはP型不純物を注入し、Nチャネル型MISFETのゲート電極にはN型不純物を注入することが有効である。

シリコン基板210のバルク部に給電部211を設け端子より電圧（たとえば3V）を印加することにより、完全空乏型SOI領域217に形成されるPチャネル型MISFETのしきい値を-0.3Vに、Nチャネル型MISFETのしきい値を0.3Vにすることができる。バルクシリコン領域では、Nウエル領域221の電位を固定するためにウエル給電部241に電源電位たとえば1Vに、Pウエル領域220の電位を固定するためにウエル給電部231に接地電位0Vを供給することにより、Vbb1より印加される電圧によってしきい値が変化することはない。

これにより周辺回路およびメモリセルは低しきい値のため高速での動作が可能と

なり、電源スイッチは高しきい値のため、リークが低減でき、スタンバイ電流を低減することが可能となる。

以上により、SOIとバルクシリコンのハイブリット基板にSRAMおよび周辺回路を形成して、回路毎に最適なしきい値を設定することにより、性能が劣化せず、SOIの特性を最大限に利用することができる。従来バルクシリコン上に形成されたSRAMに比べて、SRAMセルの低電圧での安定動作、同一リーク電流での高速動作、ソフトエラー耐性の向上が可能となる。

図8は、SRAMメモリアレイ303のみにSOI基板308を使用した変形例である。ロジック部の高速動作のためには、メモリ制御回路311、バスコントロール回路313及びCPU312をSOI基体に形成することが望ましい。しかし、2種類のしきい値を形成するために、ゲート電極材料を変える必要があり、製造工程が複雑となる。そこで、本変形例では、バルク状にメモリ制御回路311、バスコントロール回路313及びCPU312、SOI基体に電圧を印加する給電部400を形成し、拡散層へ注入する不純物量により任意のしきい値を実現させている。本変形例ではSOI基体に電圧を印加する給電部400はメモリセルアレイ303を囲んで形成されるリング状に形成される。

#### 〈実施例3〉

本実施例では、ハイブリッド基板ではなく、バルク部を有さないSOI基板によりSRAMメモリセルを搭載させた半導体装置の実現方法について説明する。これによりハイブリッド基板に比べ、製造工程が簡易化される。図9は、図8のブロック図内の構成される回路すべてをSOI基板308に形成した場合である。半導体チップ320のうち、特に汎用SRAMメモリ内に存在する、メモリセルアレイ303、メモリセル制御回路304、入出力回路307、及び電源スイッチ回路302を詳細に示したものを図10に示す。半導体装置であるSRAMチップ12は、半導体集積回路の一部を示しており、完全空乏型SOI基板101のような半導体基板に形成される。回路構成は実施例2の図6と同じであるが、用いられているMISFETが異なっている。読み出し・書き込み動作は実施例1と同様である。図10においてゲート部分が厚く記されているMISFETのゲート電極はポリシリコン、ゲート部分が薄く記されているMISFETのゲート電

極はシリコンゲルマニウムで形成されている。

メモリセルCELLを構成しているPチャネル型MISFET(MP31～34)のゲート電極はN型のポリシリコンで形成され、Nチャネル型MISFET(MN31～38)のゲート電極はP型のポリシリコンで形成されている。また、電源スイッチを構成しているPチャネル型MISFET(MP119)のゲート電極もN型のポリシリコンで形成される。それ以外の回路では、Pチャネル型MISFETおよびNチャネル型MISFETのゲート電極はP型のシリコンゲルマニウムで形成されている。

図11は本実施例で適用されるMISFETの断面概要図を示している。MISFETはシリコン基板210上にある埋め込み酸化膜208上のシリコン層に形成され、素子は互いにフィールド酸化膜205によって分離されている。領域216はSRAMメモリセルCELLおよび電源スイッチ139が形成される領域であり、Pチャネル型MISFET212とNチャネル型MISFET213が形成されている。領域217はSRAMメモリセルCELL以外の回路(図10でゲート部分が薄く記載されているMISFETを有する回路)が形成されている領域であり、Pチャネル型MISFET214とNチャネル型MISFET215が形成されている。

Pチャネル型MISFET212は、チャネル領域209、およびP型拡散層206で形成されるソース・ドレイン電極、ゲート酸化膜204、N型ポリシリコン201で形成されるゲート電極で構成される。Nチャネル型MISFET213は、チャネル領域209、およびN型拡散層207で形成されるソース・ドレイン電極、ゲート酸化膜204、P型ポリシリコン202で形成されるゲート電極で構成される。

Pチャネル型MISFET214は、チャネル領域209、およびP型拡散層206で形成されるソース・ドレイン電極、ゲート酸化膜204、P型シリコンゲルマニウム203で形成されるゲート電極で構成される。Nチャネル型MISFET215は、チャネル領域209、およびN型拡散層207で形成されるソース・ドレイン電極、ゲート酸化膜204、P型シリコンゲルマニウム203で形成されるゲート電極で構成される。

シリコン基板210に電源端子211より電圧(たとえば3V)を印加することにより、領域216に形成されるPチャネル型MISFETのしきい値を-1.0Vに

、Nチャネル型MISFETのしきい値を0.6Vに、また、領域217に形成されるPチャネル型MISFETのしきい値を-0.3Vに、Nチャネル型MISFETのしきい値を0.3Vにすることができる。尚、基板の素子領域が形成されている表面側から給電する場合には、SOIに形成された回路と電圧を変換できたり、BGA(Ball Grid Array)等一面にしかパッドが形成できないパッケージを利用した場合に製造が容易となる。リードフレームのあるパッケージを利用した場合には、電圧を裏面から供給し、チップ外から電圧を直接印加することも可能である。

これにより周辺回路は低しきい値のため高速での動作が可能となり、メモリセルCELLは高しきい値のため低リークでのデータ保持が可能となる。また、電源スイッチMP119も高しきい値のため、リークが低減でき、スタンバイ電流を低減することが可能となる。

以上により、SOI上にSRAMおよび周辺回路を形成しても回路毎に最適なしきい値を設定できるため、性能が劣化せず、SOIの特性を最大限に利用することができ、従来バルクシリコン上に形成されたSRAMに比べて、SRAMセルの低電圧での安定動作、同一リーク電流での高速動作、ソフトエラー耐性の向上が可能となる。

尚、実施例で述べた完全空乏型SOIは、チャネル部が完全に空乏化したものであるが、しきい値のばらつきを抑えられる程度であれば、部分空乏型SOI(Partial Depletion)SOIを用いてもよい。

### 【0007】

#### 【発明の効果】

本発明によれば、SOI基板を使って回路毎に最適なしきい値を得ることができ、SOI基板の特性を最大限に利用することが可能となる。

#### 【図面の簡単な説明】

#### 【図1】

実施例1に係わる半導体装置の回路図。

#### 【図2】

実施例1に係わる半導体装置の動作波形。

**【図3】**

実施例1に係わる半導体装置の回路図。

**【図4】**

実施例1係わる半導体装置の断面概要図。

**【図5】**

実施例2に係わる半導体装置のブロック図。

**【図6】**

実施例2に係わる半導体装置の回路図。

**【図7】**

実施例2に係わる半導体装置の断面概要図。

**【図8】**

実施例2の変形例の半導体装置のブロック図。

**【図9】**

実施例3に係わる半導体装置のブロック図。

**【図10】**

実施例3に係わる半導体装置の回路図。

**【図11】**

実施例3係わる半導体装置の断面概要図。

**【図12】**

回路毎に最適なしきい値の実現例。

**【図13】**

SRAMメモリセル搭載の半導体装置において要求されるしきい値。

**【図14】**

SOI基板に形成されたMISFETのしきい値。

**【符号の説明】**

C E L L …… S R A M メモリセル

MN, 213, 215, 222 …… Nチャネル型MISFET

D T MN …… Nチャネル型D TMISFET

M P, 212, 214, 223 …… Pチャネル型MISFET

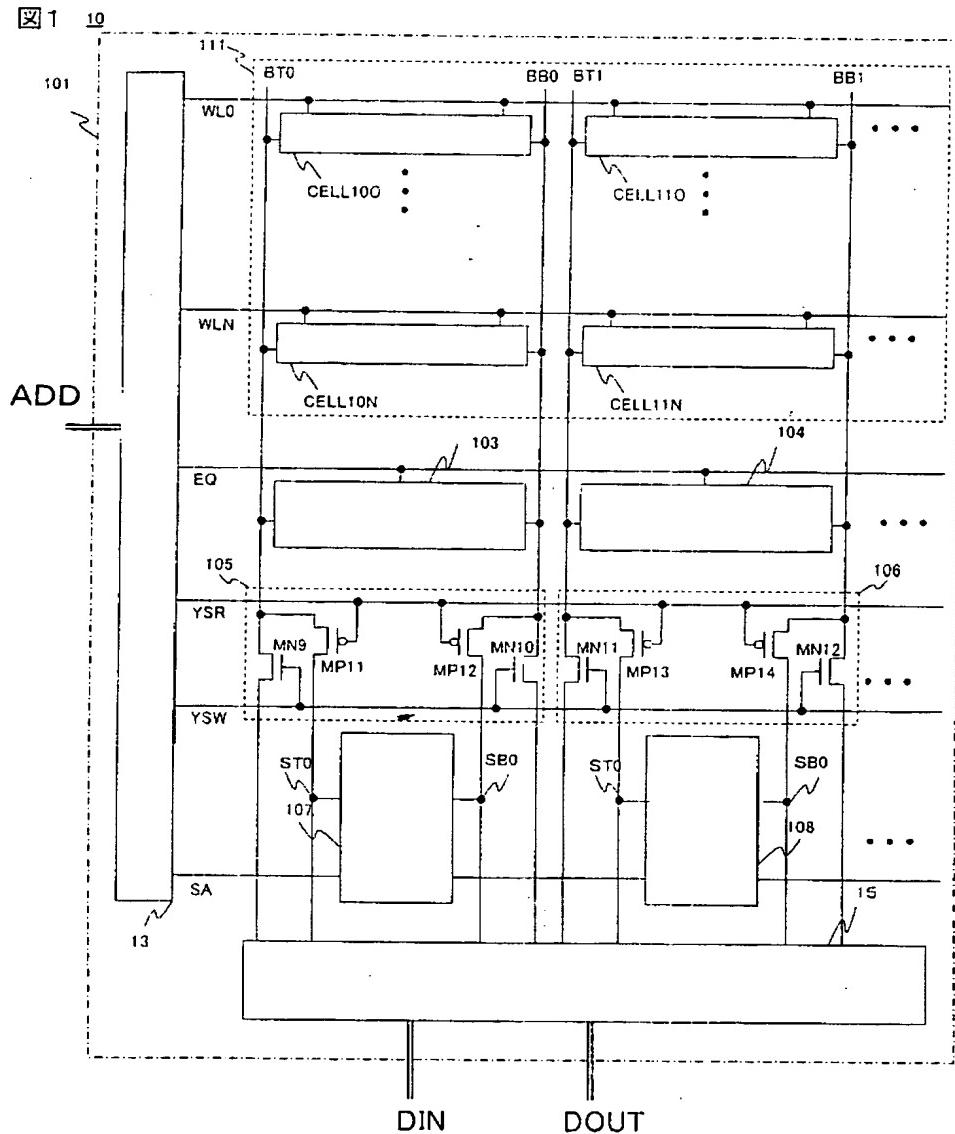
I N V……インバータ回路  
N L, N R……記憶ノード  
V D D……電源電位  
V S S……接地電位  
B T, B B……データ線  
W L……ワード線  
P S W……電源スイッチ制御信号  
E Q……プリチャージ・イコライズ回路制御信号  
Y S R……読み出し用Yスイッチ制御信号  
Y S W……書き込み用Yスイッチ制御信号  
S A……センスアンプ制御信号  
S T, S B……センスデータ線  
D R……センスアンプ回路の出力信号  
D W……ライトアンプ回路への入力信号  
D O U T……外部への読み出しデータ  
D I N……外部からの書き込みデータ  
1 0, 1 1, 1 2……S R A Mチップ  
1 3……制御回路  
1 5……データ入出力回路  
1 0 1, 2 1 6, 2 1 7, 3 0 8……完全空乏型S O I領域  
1 0 2, 2 2 4, 3 0 9……バルクシリコン領域  
1 0 3, 1 0 4……プリチャージ・イコライズ回路  
1 0 5, 1 0 6……Yスイッチ回路  
1 0 7, 1 0 8……センスアンプ回路  
1 0 9, 1 1 0……ライトアンプ回路  
1 1 1, 1 1 2, 1 1 3, 3 0 3……メモリアレイ  
1 1 9, 1 3 9, 3 0 2……電源スイッチ回路  
1 1 5……ワードデコーダ・ドライバ  
1 1 6……制御回路

120, 122, 140, 142……入力回路  
121, 123, 141, 143……出力回路  
201……P型ポリシリコン  
202……N型ポリシリコン  
203……P型シリコンゲルマニウム  
204……ゲート絶縁膜  
205……フィールド酸化膜  
206……P型拡散層  
207……N型拡散層  
230……N型拡散層  
235……P型拡散層  
208……埋め込み酸化膜  
209……チネル領域  
210……半導体基板  
211……N+給電領域  
231……P+給電領域  
241……N+給電領域  
220……Pウェル領域  
221……Nウェル領域  
Vbb1……半導体基板に印加される電圧  
Vbb2……半導体基板と反導電型のウェル220に印加される電圧  
Vbb3……ウェル221と反導電型のウェル221に印加される電圧  
300, 310, 320……システムLSIチップ  
301, 321……アナログ回路  
304, 311……メモリ制御回路  
305, 312……CPU回路  
306, 313……バスコントロール回路  
307, 327……入出力回路  
322……電源回路

400……給電部。

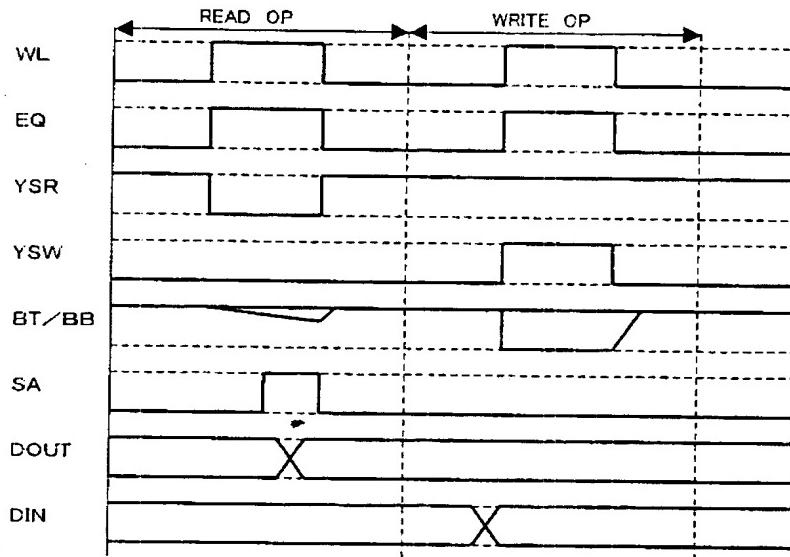
【書類名】 図面

【図 1】



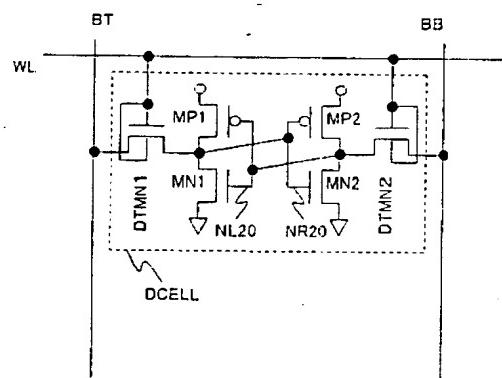
【図2】

図2



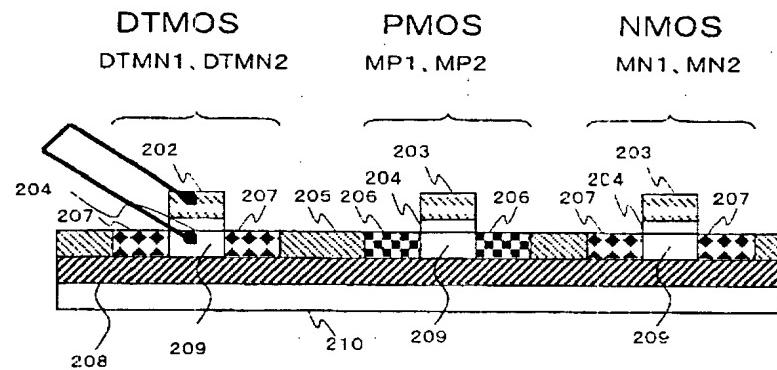
【図3】

図3

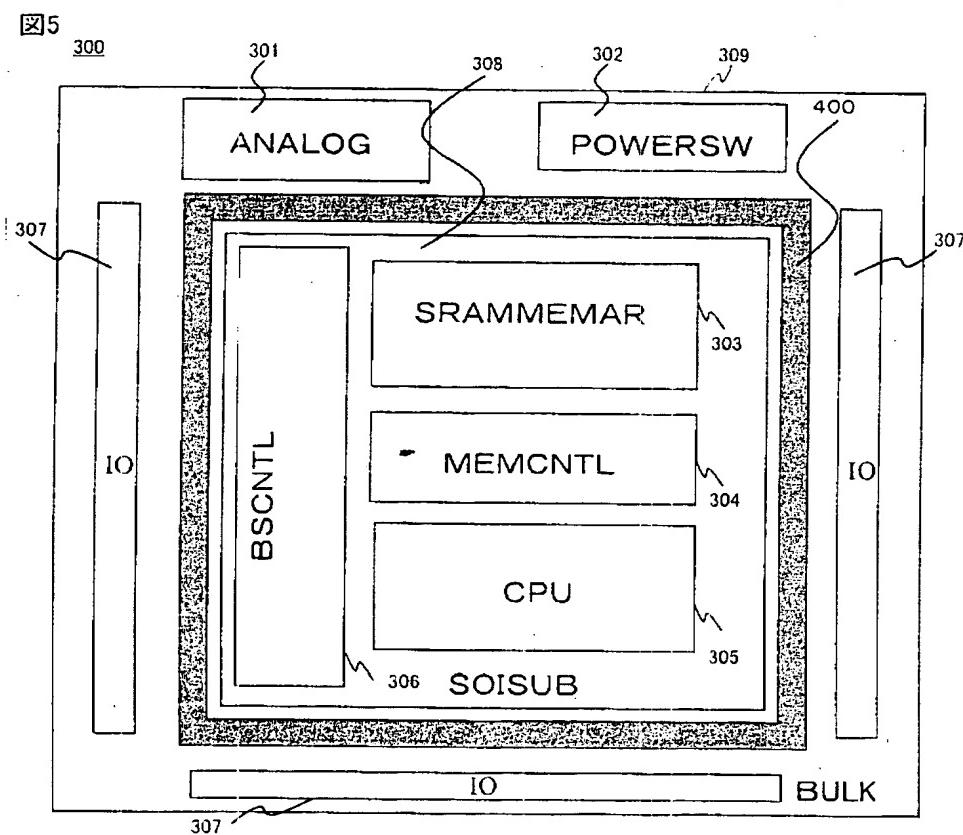


【図4】

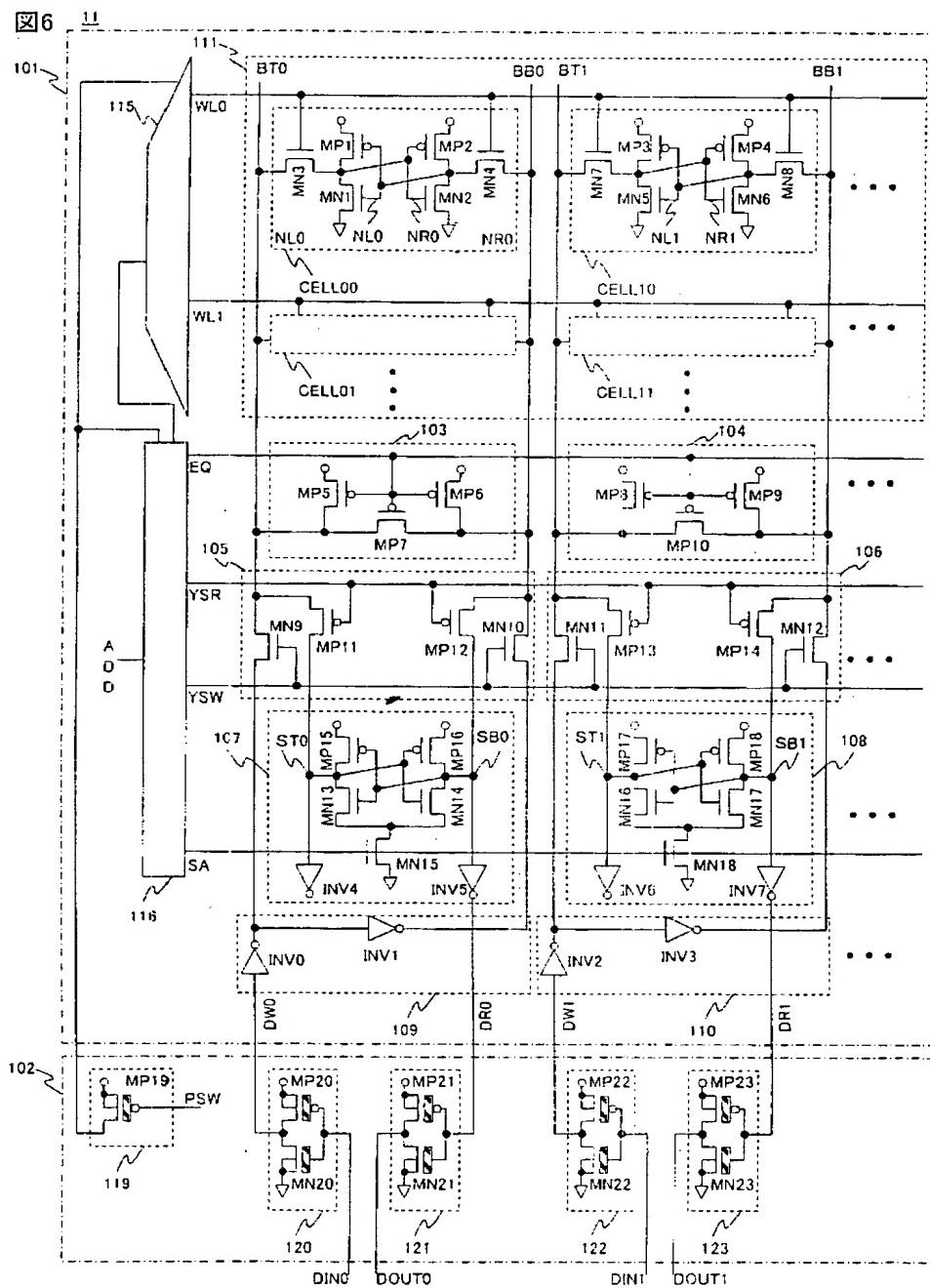
図4



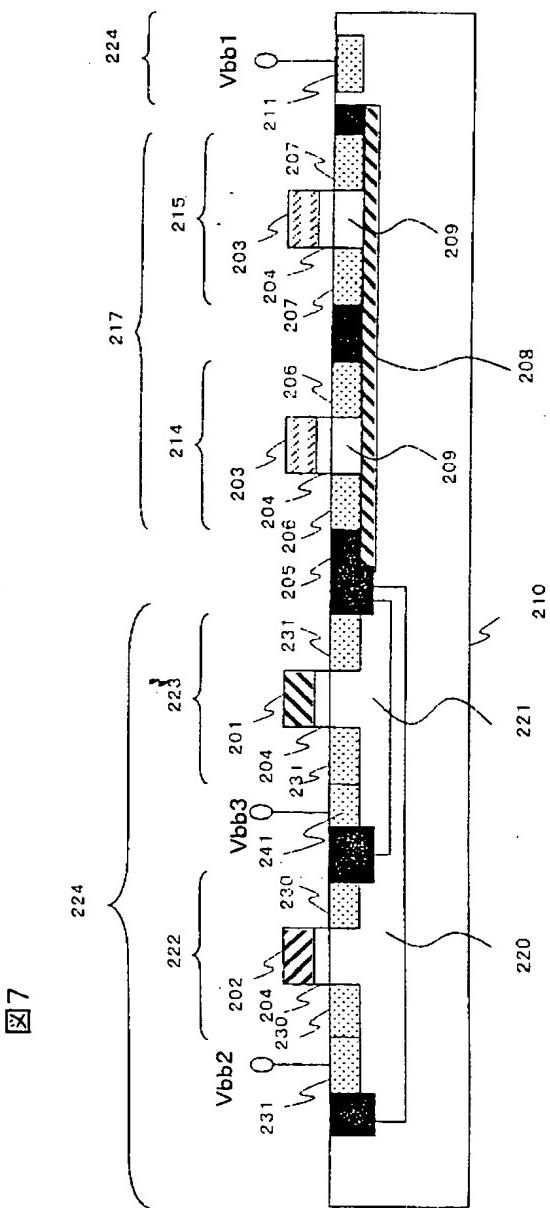
【図5】



【図 6】

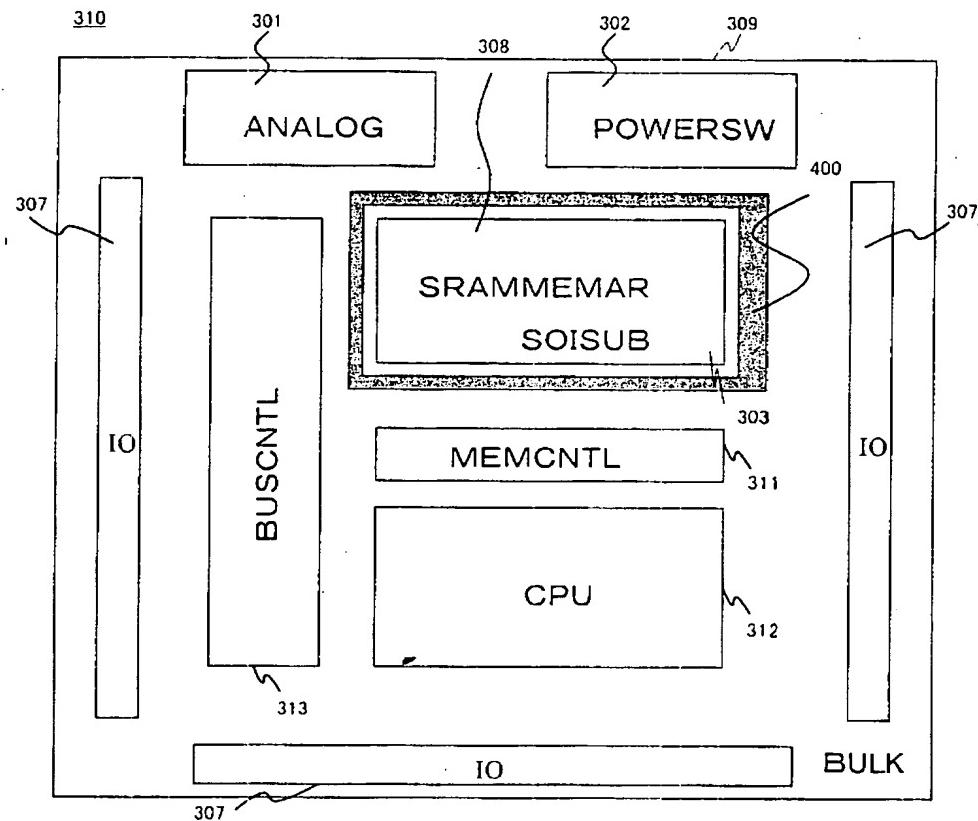


【図7】



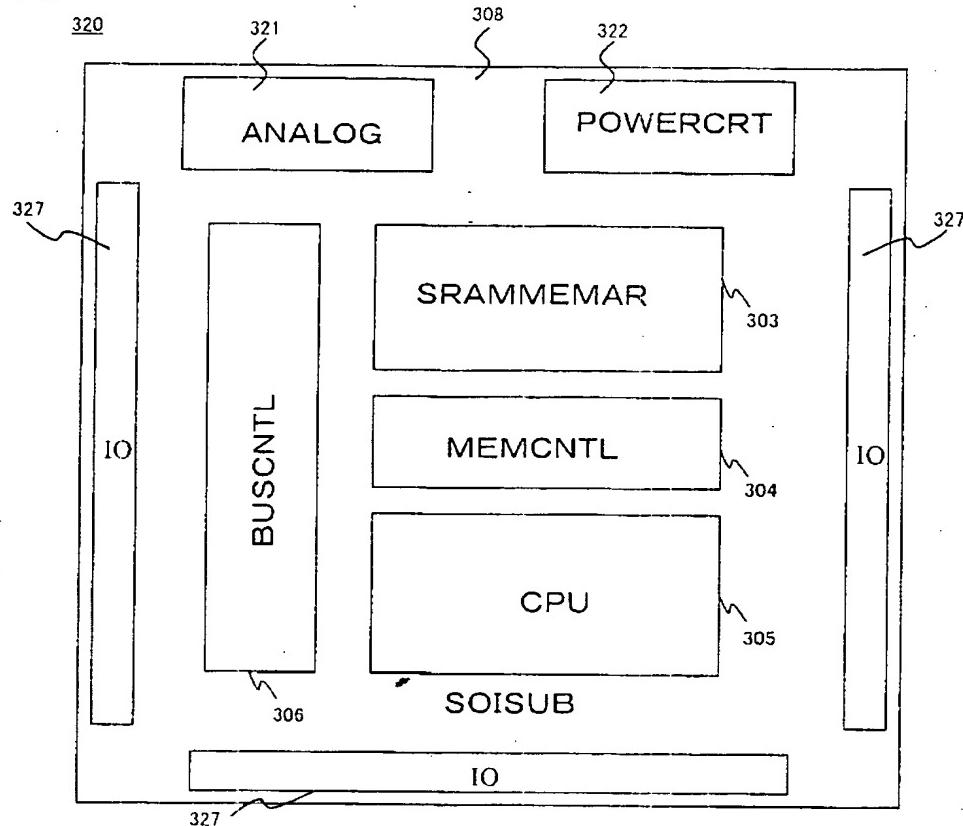
【図8】

図8



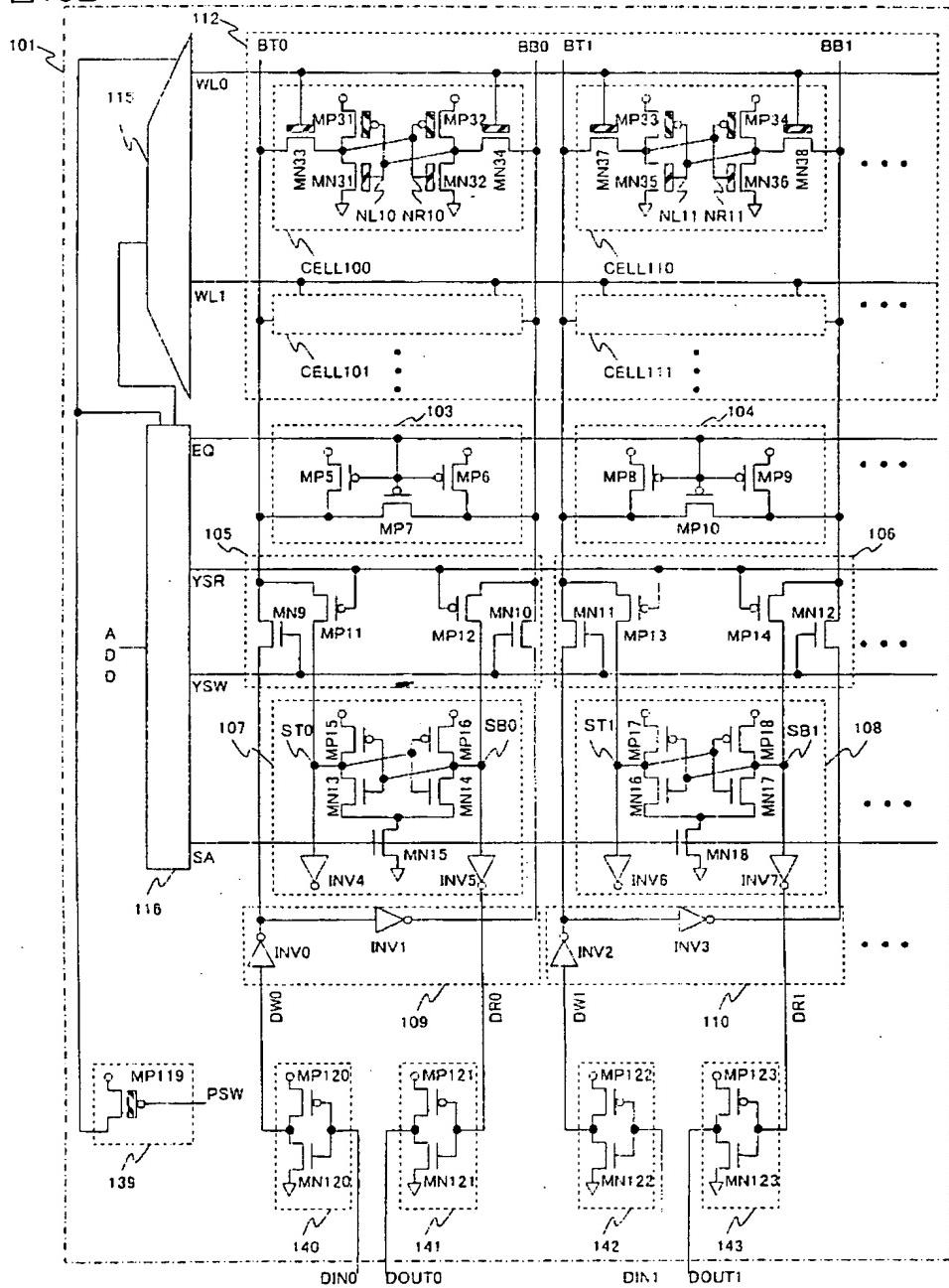
【図9】

図9



【図10】

図10\_12



【図11】

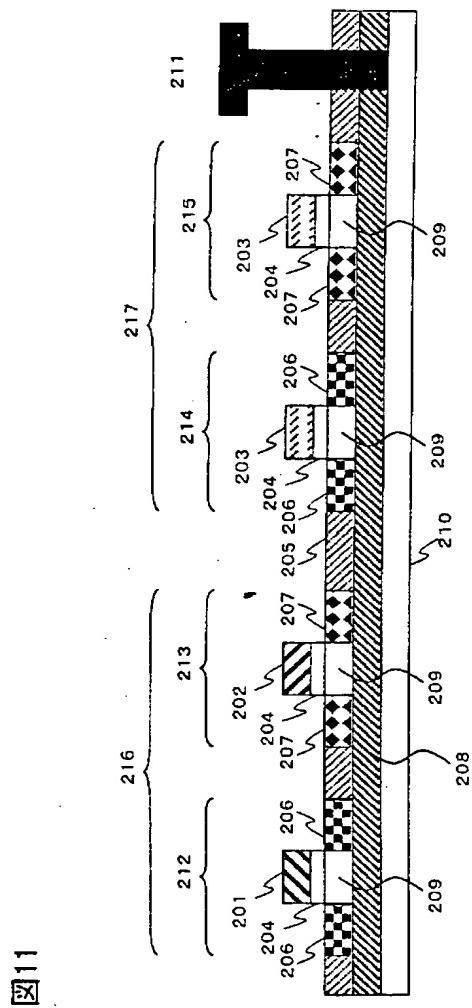


図11

【図 12】

図 12

SOISUB		HIGH SPEED				STANDARD					
	SUB	GATEMATERIAL	GATEIMP.	SOIVBB	V <sub>T</sub> [V]	SUB	GATEMATERIAL	GATEIMP.	SOIVBB	V <sub>T</sub> [V]	
LOGIC	PMISFET	SOI	SiGe	P	0	-0.3	SOI	SiGe	P	3V	-0.3
	NMISFET	SOI	SiGe	P	0	0.3	SOI	SiGe	P	3V	0.3
SRAM	PMISFET	SOI	SiGe	P	0	-0.3	SOI	Poly-Si	N	3V	-1.0
	NMISFET	SOI	SiGe	P	0	0.3	SOI	Poly-Si	P	3V	0.6

SOISUB		STANDARD				LOWPOWER						
	SUB	GATEMATERIAL	GATEIMP.	SOIVBB	V <sub>T</sub> [V]	SUB	GATEMATERIAL	GATEIMP.	SOIVBB	V <sub>T</sub> [V]		
LOGIC	PMISFET	SOI	Poly-Si	VERTICALMOS	P	3V	0.6	SOI	Poly-Si	N	x	-0.8
	NMISFET	SOI	Poly-Si	VERTICALMOS	P	3V	0.6	SOI	Poly-Si	P	x	0.8
SRAM	PMISFET	SOI	Poly-Si	VERTICALMOS	P	3V	0.6	SOI	Poly-Si	N	x	-0.8
	NMISFET	SOI	Poly-Si	VERTICALMOS	P	3V	0.6	SOI	Poly-Si	P	x	0.8

HYBRIDSUB		HIGH SPEED				STANDARD					
	SUB	GATEMATERIAL	GATEIMP.	SOIVBB	V <sub>T</sub> [V]	SUB	GATEMATERIAL	GATEIMP.	SOIVBB	V <sub>T</sub> [V]	
LOGIC	PMISFET	SOI	SiGe	P	0	-0.3	SOI	SiGe	P	3V	-0.3
	NMISFET	SOI	SiGe	P	0	0.3	SOI	SiGe	P	3V	0.3
SRAM	PMISFET	SOI	SiGe	P	0	-0.3	SOI	Poly-Si	N	3V	-1.0
	NMISFET	SOI	SiGe	P	0	0.3	SOI	Poly-Si	P	3V	0.6
IO/Analog/SW	BULK	-	-	-	ANY	BULK	-	-	-	ANY	

HYBRIDSUB		STANDARD				LOWPOWER					
	SUB	GATEMATERIAL	GATEIMP.	SOIVBB	V <sub>T</sub> [V]	SUB	GATEMATERIAL	GATEIMP.	SOIVBB	V <sub>T</sub> [V]	
LOGIC	PMISFET	BULK	-	-	ANY	BULK	-	-	-	ANY	
	NMISFET	BULK	-	-	ANY	BULK	-	-	-	ANY	
SRAM	PMISFET	SOI	Poly-Si	VERTICALMOS	P	0.5	SOI	Poly-Si	N	x	-0.8
	NMISFET	SOI	SiGe	P	$t_{SL}$	0.5	SOI	Poly-Si	P	x	0.8
IO/Analog/SW	BULK	-	-	-	ANY	BULK	-	-	-	ANY	

【図13】

図13

		HIGH SPEED 300MHz～ Vdd<1.0V	STANDARD 100MHz～300MHz Vdd=1.0V	LOW POWER ～100MHz Vdd>1.0V
Logic	PMOSVT	-0.3V～-0.1V	-0.4V～-0.2V	-0.9V～-0.7V
	NMOSVT	0.1V～0.3V	0.2V～0.4V	0.7V～0.9V
SRAM	PMOSVT	-0.5V～-0.3V	-1.0V～-0.8V	-0.9V～-0.7V
	NMOSVT	0.2V～0.4V	0.4V～0.6V	0.7V～0.9V

【図14】

図14

GATE MAT	Poly-Si		SiGe	
GATE IMP	P	N	P	N
PMOS V <sub>to</sub>	+0.2V	-0.8V	-0.1V	-0.8V
NMOS V <sub>to</sub>	+0.8V	-0.2V	0.5V	-0.2V

【書類名】 要約書

【要約】

【課題】 完全空乏型SOI基板では、MISFETのしきい値は、バルクシリコンのMISFETのようにチャネルの不純物濃度では制御できないため、回路毎に最適なしきい値を設定することが困難であるという問題があった。

【解決手段】 メモリセルを構成するPチャネル型MISFETのゲート電極は、N型のポリシリコンで、Nチャネル型MISFETのゲート電極はP型のポリシリコンで形成される。周辺回路や論理回路の、Pチャネル型MISFETおよびNチャネル型MISFETのゲート電極はP型のシリコンゲルマニウムで形成されることを特徴とする半導体装置。

【効果】 本発明によれば、SOI基板を使って回路毎に最適なしきい値を得ることができ、SOI基板の特性を最大限に利用することが可能となる。

【選択図】 図11

**認定・付加情報**

特許出願の番号 特願2002-356127  
受付番号 50201855351  
書類名 特許願  
担当官 第五担当上席 0094  
作成日 平成14年12月10日

## &lt;認定情報・付加情報&gt;

【提出日】 平成14年12月 9日

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-356127

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第3154542号 平成15年4月11日付け  
提出の会社分割による特許権移転登録申請書 を援用  
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平1-251889号 同日提出の出願人  
名義変更届（一般承継）を援用する

【プルーフの要否】 要

**認定・付加情報**

特許出願の番号	特願2002-356127
受付番号	50301402876
書類名	出願人名義変更届(一般承継)
担当官	鈴木 夏生 6890
作成日	平成15年11月 5日

## &lt;認定情報・付加情報&gt;

【提出日】 平成15年 8月26日

特願 2002-356127

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所

特願 2002-356127

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住所 東京都千代田区丸の内二丁目4番1号  
氏名 株式会社ルネサステクノロジ

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**